

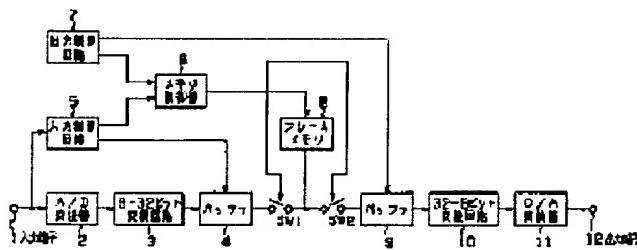
IMAGE SIGNAL PROCESSING CIRCUIT

Patent number: JP11066289
Publication date: 1999-03-09
Inventor: AMANO KUNIHIKO
Applicant: TOKYO SHIBAURA ELECTRIC CO
Classification:
 - international: G06T1/60; G09G5/00; G09G5/18; H04N7/01
 - european:
Application number: JP19970228258 19970825
Priority number(s): JP19970228258 19970825

[Report a data error here](#)

Abstract of JP11066289

PROBLEM TO BE SOLVED: To prevent the increase in a circuitry scale and also to reduce cost by constituting the average data rate of high precision image data to be written in a frame memory, so as to be reducible and using a large capacity DRAM as the frame memory. **SOLUTION:** When image data digitized by an A/D converter 2 and a 3-32 bit converter 3 is fetched to a buffer 4, which can be operated at high speed, an input control circuit 4 fetches one line per image data four lines so as to adopt it as one frame block data and, moreover, controls fetching so as to permit a fetching operation, where a fetching phase is deviated by one line at every one frame period to execute a round in 4-frame periods. Therefore, the entire lines of an image frame are fetched to a buffer 4 in 4-frame periods, the average data rate of data to be written in the frame memory 8 is reduced, a large capacity memory such as a DRAM, etc., is used as the frame memory 8 so as to enable frame frequency conversion processing.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-66289

(43)公開日 平成11年(1999)3月9日

(51)Int.Cl.⁶

G 0 6 T 1/60

G 0 9 G 5/00

識別記号

5 2 0

5 5 0

F I

C 0 6 F 15/64

C 0 9 G 5/00

4 6 0 F

5 2 0 V

5 5 0 H

5 5 0 P

5 5 0 R

審査請求 未請求 請求項の数 3 OL (全 9 頁) 最終頁に続く

(21)出願番号

特願平9-228258

(22)出願日

平成9年(1997)8月25日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 天野 邦彦

埼玉県深谷市幡縫町1丁目9番2号 株式
会社東芝深谷工場内

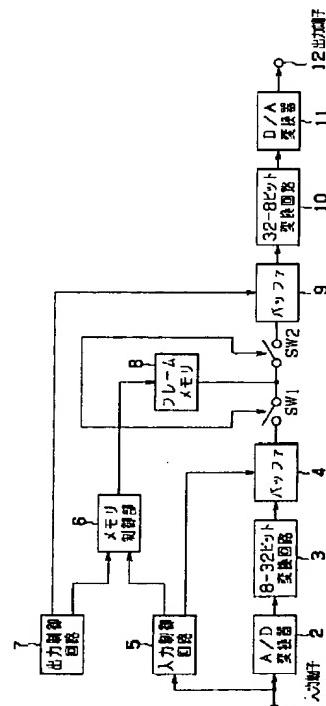
(74)代理人 弁理士 伊藤 進

(54)【発明の名称】 画像信号処理回路

(57)【要約】 (修正有)

【課題】 フレームメモリへ書き込む高精細画像データの平均データレートを低減可能に構成することで、大容量のD R A Mをフレームメモリとして使用し、回路規模の増大を防止し且つ低コスト化を図る。

【解決手段】 A / D変換器2、8-32ビット変換器3によりディジタル化された画像データを小容量で高速動作可能なバッファ4に取り込むとき、入力制御回路5は画像データ4ライン当たり1ラインを取り込んで1フレーム分のブロックデータとし、さらに1フレーム期間毎にその取り込み位相が1ラインずつずれるような取り込み動作を4フレーム期間で一巡するように取り込みを制御する。このため、バッファ4に4フレーム期間で1画像フレームの全ラインの取り込みが可能となり、フレームメモリ8へ書き込むデータの平均データレートを下げることができ、D R A M等の大容量のメモリをフレームメモリ8として用いてフレーム周波数変換処理が可能となる。



【特許請求の範囲】

【請求項1】 入力アナログ画像信号をデジタル画像信号に変換し、変換したデジタル画像信号の書き込み、読み出し可能な第1の記憶手段を用いて、前記入力アナログ画像信号のフレーム周波数を変換するとともにアナログ画像信号として出力する画像信号処理回路において、

前記第1の記憶手段の前段に配置して、前記デジタル画像信号の書き込み読み出しが可能な第2の記憶手段と、

前記第2の記憶手段への前記デジタル信号の書き込み、読み出しを制御するもので、前記入力アナログ画像信号を基に1フレーム分の前記デジタル画像信号を入力順に $m \times n$ 個(m, n は自然数)のブロック単位毎に等分割する手段と、前記入力アナログ画像信号のフレームを周期 m でカウントする手段とを備え、前記入力アナログ画像信号のフレーム番号が p (p は自然数)の場合に、 $m \times q + p - 1$ (ただし q は($n - 1$)以下の自然数)番目の前記ブロックのデジタル画像信号を m ブロックの周期で書き込むように制御するとともに、読み出し時には、書き込まれたブロック単位毎の前記デジタル画像信号を前記第1の記憶手段に基づく所定の速度で前記第1の記憶手段の所定のアドレスに出力するように読み出し制御する入力制御手段と、

前記第1の記憶手段の書き込み、読み出しを制御するメモリ制御手段によって、前記第1の記憶手段への前記1ブロック単位毎の前記デジタル画像信号の書き込み、読み出しが制御され、読み出された前記第1の記憶手段からの前記デジタル画像信号を記憶する第3の記憶手段と、

前記第3の記憶手段への前記デジタル画像信号の書き込み、読み出しを制御するもので、読み出し時には書き込まれた前記デジタル画像信号を順に読み出すように制御する出力制御手段と、

を具備したことを特徴とする画像信号処理回路。

【請求項2】 前記入力制御手段は、前記ブロック単位毎のデジタル画像信号を、1水平同期期間内の画像信号として書き込むように制御することを特徴とする請求項1に記載の画像信号処理回路。

【請求項3】 前記入力制御手段は、前記第2の記憶手段の読み出し時に前記メモリ制御手段に対して前記第1の記憶手段への書き込みアドレス情報を供給する他に前記フレーム番号 p とブロック番号 q とを含む情報を供給するものであって、

前記メモリ制御手段は、これら情報に基づいて前記第1の記憶手段に書き込まれている複数フレームのデジタル画像信号から前記第1の記憶手段上で1つの画像フレームを再構成する制御が可能であることを特徴とする請求項1に記載の画像信号処理回路。

【発明の詳細な説明】

【0001】

【発明の属する分野】本発明は、パソコンからの画像信号をメモリに取り込んで液晶パネル等の表示装置に表示するのに必要な信号処理を行う画像信号処理回路に関するもので、特に該信号処理に必要なメモリの大容量化を防止してフレーム周波数変換処理を行うのに好適の画像信号処理回路に関するものである。

【0002】

【従来の技術】近年、画像信号処理にデジタル方式が採用されることにより、その応用範囲が広がっている。また、処理対象となる画像信号も年々高精細になり、画像処理に必要なデータ処理能力も従来のものよりもさらに高速のものが要求されている。

【0003】このように高速なデータ処理能力が要求される表示システムとしては、例えば各種イベント会場でデモンストレーションあるいはディスプレイ用として用いられる画像表示システム等がある。

【0004】この画像表示システムでは、例えばパソコンからの出力画像信号を取り込み、デジタル的にフレーム周波数変換処理等の画像信号処理を行うことで、パソコンからの出力画像信号をLCD(液晶ディスプレイ)やモニタ等のディスプレイ装置に取り込むのに適した伝送レートに変換することが可能となり、こうして、LCDやモニタ等のディスプレイ装置に入力画像信号に基づく画像を例えば静止画像として表示するようにしている。

【0005】ところが、パソコンから供給されるディスプレイ用の画像信号は、通常のテレビジョン信号よりもデータレートが数倍と大きく、表示解像度の高いものが殆どであり、このため、これらの入力画像信号の画像処理を行う画像信号処理回路の周辺機器ではそれに対応させなければならない。

【0006】特に、パソコンコンピュータ分野においては、その表示画面が、例えばVGA(水平640画素×垂直480画素)からXGA(水平1024画素×垂直768画素)、SXGA(水平1280画素×垂直1024画素)等といった表示解像度の高いものがあり、益々高解像度化が進んでいる。このため、このようなパソコンコンピュータからのディスプレイ用画像信号の内、例えばXGA信号をXGA対応のLCD等の表示装置に表示する場合には、コンピュータ表示画面の1画素をLCDの1画素に対応させて表示することが基本となるが、この場合、XGA信号のデータレートをLCDの取り込み可能な伝送レートに変換して該LCDに転送する必要がある。

【0007】図2は、上記の如く表示解像度の高いディスプレイ用の画像信号でもLCDへの取り込みを可能にするための画像信号処理を行う画像信号処理回路の概念を示す図である。図2において、パソコンコンピュータからの高解像度な画像信号をLCDに取り込むため

に、フレーム周波数を変換する信号処理回路と、大容量となるダイナミック・ランダム・アクセス・メモリ（以下、DRAMと称す）等で構成される画像信号処理回路を用いて、入力画像信号における入力レートをLCDに取り込み可能な出力レートに変換する等の画像信号処理を行う。

【0008】DRAMは、1チップで画像を数フレーム分記憶することのできる大容量のメモリであって、上述した画像信号処理を行うには必要不可欠なフレームメモリである。しかし、メモリのアクセス速度は、そのメモリの容量に反比例して、容量が大きくなるほど遅くなるという特徴がある。アクセス速度は年々高速化の傾向が強くなっているが、処理対称となる画像信号のデータレ

$$(\text{入力レート}) + (\text{出力レート})$$

となり、これよりもデータレートの大きな容量を有するDRAMが必要となる。

【0010】しかしながら、図2示すように、例えば256k×16ビットの容量のDRAMを2個用いて処理回路を構成したものとすると、このときのDRAMの限界アクセスレートが最大800Mbpsであることから、上記のようにSXGA信号を表示する場合には、必要アクセスレート887Mbpsが限界アクセスレート800Mbpsを越えてしまい、容量オーバとなる。つまりメモリアクセス速度不足で画像データを取り込むことができず、信号処理動作が破綻してしまうという不都合が発生する。

【0011】そこで、従来では、上記大容量のDRAMの他に高速動作可能な小容量のメモリを複数個組み合わせて構成することにより、メモリサイズをさらに大容量化して対応するようになっていた。しかし、これでは、回路規模が増大してしまうとともに、コスト的にも高価となるという問題点があった。

【0012】

【発明が解決しようとする課題】上記の如く、従来の画像信号処理回路においては、DRAMのような大容量メモリディバイスをフレームメモリとして高精細画像信号処理回路に使用する場合、メモリアクセス容量速度の不足で高精細な画像データをメモリ上に取り込むことができず、結果としてフレーム周波数変換処理動作に破綻が生じてしまう。このため、高速動作可能な小容量のメモリを複数個組み合わせて構成し、メモリサイズを大容量化することで対応させていたが、回路規模が増大してしまい、コスト的にも高価になってしまいういう問題点があった。

【0013】そこで、本発明は上記問題点に鑑みてなされたもので、フレームメモリへ書き込む高精細画像データの平均データレートを低減可能に構成することで、大容量のDRAMをフレームメモリとして使用することができるとともに、回路規模の増大を防止し且つ低成本

ートに追いついていないのが現状である。

【0009】例えば、図2に示すように、パソコン用コンピュータから供給されるディスプレイ用の画像信号として、XGAよりもさらに高速な信号となるSXGA信号（水平1024画素、垂直768画素、フレーム周波数75Hz）を画像信号処理回路に供給すると、このときの入力レートは491Mbpsである。一方、該SXGA信号をLCDに表示するためには、フレーム周波数が60Hzで出力レートが396Mbpsとなるようにフレーム周波数変換処理等の画像信号処理を行わなくてはならない。したがって、上記画像信号処理に使用されるDRAMへのアクセスデータ量としては、

$$\begin{aligned} &= 491 \text{ Mbps} + 396 \text{ Mbps} \\ &= 887 \text{ Mbps} \end{aligned}$$

化を図ることのできる画像信号処理回路の提供を目的とする。

【0014】

【課題を解決するための手段】請求項1に記載の発明による画像信号処理回路は、入力アナログ画像信号をデジタル画像信号に変換し、変換したデジタル画像信号の書き込み、読み出し可能な第1の記憶手段を用いて、前記入力アナログ画像信号のフレーム周波数を変換するとともにアナログ画像信号として出力する画像信号処理回路において、前記第1の記憶手段の前段に配置して、前記デジタル画像信号の書き込み読み出しが可能な第2の記憶手段と、前記第2の記憶手段への前記デジタル信号の書き込み、読み出しを制御するもので、前記入力アナログ画像信号を基に1フレーム分の前記デジタル画像信号を入力順にm×n個（m、nは自然数）のブロック単位毎に等分割する手段と、前記入力アナログ画像信号のフレームを周期mでカウントする手段とを備え、前記入力アナログ画像信号のフレーム番号がp（pは自然数）の場合に、m×q+p-1（ただしqは（n-1）以下の自然数）番目の前記ブロックのデジタル画像信号をmブロックの周期で書き込むように制御するとともに、読み出し時には、書き込まれたブロック単位毎の前記デジタル画像信号を前記第1の記憶手段に基づく所定の速度で前記第1の記憶手段の所定のアドレスに出力するように読み出し制御する入力制御手段と、前記第1の記憶手段の書き込み、読み出しを制御するメモリ制御手段によって、前記第1の記憶手段への前記1ブロック単位毎の前記デジタル画像信号の書き込み、読み出しが制御され、読み出された前記第1の記憶手段からの前記デジタル画像信号を記憶する第3の記憶手段と、前記第3の記憶手段への前記デジタル画像信号の書き込み、読み出しを制御するもので、読み出し時には書き込まれた前記デジタル画像信号を順に読み出すように制御する出力制御手段と、を具備したものである。

【0015】請求項1記載の発明においては、入力アナ

ログ画像信号をデジタル画像信号に変換し、変換したデジタル画像信号の書き込み、読み出し可能な第1の記憶手段と、例えば小容量な第2、第3の記憶手段を用いることにより、前記入力アナログ画像信号のフレーム周波数を変換する。この場合、入力制御手段は、前記第2の記憶手段への前記デジタル信号の書き込み、読み出しを制御するもので、前記入力アナログ画像信号を基に1フレーム分の前記デジタル画像信号を入力順に $m \times n$ 個(m, n は自然数)のブロック単位毎に等分割する手段と、前記入力アナログ画像信号のフレームを周期 m でカウントする手段とを備え、前記入力アナログ画像信号のフレーム番号が p (p は自然数)の場合に、 $m \times q + p - 1$ (ただし q は($n - 1$)以下の自然数)番目の前記ブロックのデジタル画像信号を m ブロックの周期で書き込むように制御するとともに、読み出し時には、書き込まれた1ブロック単位毎の前記デジタル画像信号を前記第1の記憶手段に基づく所定の速度で前記第1の記憶手段の所定のアドレスに出力するように読み出し制御する。これにより、高精細で且つ高データレートのデジタル画像データをブロック単位で間引いて処理することができるため、画像を破綻させることなく第1の記憶手段へ書き込むデジタル画像データの平均データレートを下げることができる。よって、第1の記憶手段と第1、第2の記憶手段で回路を構成することができることから、回路規模の増大を防止でき、低コスト化にも寄与す。

【0016】請求項2に記載の発明による画像信号処理回路は、請求項1に記載の画像信号処理回路において、前記入力制御手段は、前記1ブロック単位毎のデジタル画像信号を、1水平同期期間内の画像信号として書き込むように制御することを特徴とするものである。

【0017】請求項2記載の発明においては、上記請求項1の発明と同様に動作するが、前記入力制御手段は、前記ブロック単位毎のデジタル画像信号を、1水平同期期間内の画像信号として書き込むように制御する。つまり、1ブロック単位毎のデジタル画像信号は、1水平同期期間内のラインデータである。例えば、上記フレーム周期 m を4とすると、4フレームの各フレームで間引かれて第2の記憶手段に書き込まれる各ブロックのデータ量は夫々 $1/4$ になり、第1の記憶手段への書き込みを可能にして上記発明と同様の効果を得る。

【0018】請求項3に記載の発明による画像信号処理回路は、請求項1に記載の画像信号処理回路において、前記入力制御手段は、前記第2の記憶手段の読み出し時に前記メモリ制御手段に対して前記第1の記憶手段への書き込みアドレス情報を供給する他に前記フレーム番号 p とブロック番号 q とを含む情報も供給するものであって、前記メモリ制御手段は、これら情報に基づいて前記第1の記憶手段に書き込まれている複数フレームのデジタル画像信号から前記第1の記憶手段上で1つの画像

フレームを再構成する制御が可能であることを特徴とするものである。

【0019】請求項3記載の発明においては、前記請求項1及び請求項2の発明と同様に動作するものであるが、本発明では、上記メモリ制御部による制御で、第1の記憶手段上にて複数フレームのデジタル画像信号から1つの画像フレームの再構成が可能となる。つまり、第1の記憶手段の限界メモリアクセスレートを越えずに、前記第2の記憶手段からのブロック単位の画像データを取り込んだ場合、入力アナログ画像信号に基づく画像フレームと同じ画像を再構成することができる。これにより、この再構成した画像フレームの画像データに対し、第3の記憶手段を用いて読み出すことにより、入力アナログ画像信号を、出力画像フォーマットに応じた画像信号のフレーム周波数に変換することが可能となり、上記発明と同様の効果を得る。

【0020】

【発明の実施の形態】以下、発明の実施の形態について図面を参照して説明する。

【0021】図1は本発明に係る画像信号処理回路の一実施形態例を示すブロック図である。

【0022】図1に示すように、入力端子1には例えばパーソナルコンピュータからの高精細なアナログ方式の画像信号(以下、アナログ画像信号と称す)が供給される。該入力端子1を介して入力されたアナログ画像信号は、アナログ→デジタル変換器(以下、A/D変換器と称す)2及び入力制御回路5に与える。

【0023】A/D変換器2は、アナログの入力画像信号を8ビットのデジタル信号に変換し、デジタル画像データとして8-32ビット変換回路3に与える。8-32ビット変換回路3は、これ以降の回路の信号処理速度を $1/4$ に落とすために、供給された8ビットのデジタル画像データを32ビット(4画素配列)のデジタル画像データに変換してバッファメモリ(以下、バッファと略記)4の入力ポートに与える。

【0024】バッファ4は、上記入力制御回路5からの取り込み制御信号に基づき、入力ポートに供給されている1ライン分の画像データをストアすることができる。また、バッファ4は、入力・出力で独立したポートを有する2ポートタイプのメモリで構成されており、このメモリに対する書き込みと読み出しをそれぞれ独立的に行うことができるようになっている。バッファ4は、第1のスイッチSW1(以下、SW1と称す)の入力端と接続されており、読み出し時、読み出した画像データを該SW1に供給する。

【0025】本例の画像信号処理回路には、大容量のメモリディバイスとしてのフレームメモリ8が設けられている。該フレームメモリ8は、書き込みと読み出しを共通の入出力データポートで行う1ポートタイプのメモリで構成されていて、書き込み状態と読み出し状態を時分

割で共有してアクセスを行うようになっている。このフレームメモリ8としては、例えば図2に示すようにDRAM等の大容量メモリが用いられている。該フレームメモリ8の入出力データポートは上記SW1の出力端及び第2のスイッチSW2（以下、SW2と称す）の入力端に接続されており、該SW2の出力端は上記バッファ4とは別のバッファ9の入力ポートに接続されている。

【0026】したがって、フレームメモリ8が書き込み状態のとき、上記SW1がオンすると同時に上記SW2がオフすることにより、バッファ4からフレームメモリ8の1ライン分画像データが転送される。また、フレームメモリ8が読み出し状態のとき、上記SW1がオフすると同時に上記SW2がオンすることにより、フレームメモリ8からバッファ9へ1ライン分の画像データが転送されることになる。

【0027】バッファ9は、後述する出力制御回路7からの読み出し制御信号に基づき、読み出しを行い、読み出した画像データを出力ポートを介して32-8ビット変換回路10に与える。32-8ビット変換回路10は、供給された32ビットのデジタル画像データを本来の8ビットのデジタル画像データに変換してデジタル→アナログ変換器（以下、D/A変換器と称す）11に与える。

【0028】D/A変換器11は、供給されたデジタル画像信号をアナログ画像信号に変換して出力端子12に供給し、出力端子10は、これに接続される例えばこの出力アナログ画像信号に基づく画像をLCDに表示させるためのLCD駆動回路等に出力する。

【0029】上記フレームメモリ8は、該フレームメモリ8のアドレスポートに接続されるメモリ制御部6によって、読み出し、書き込みが制御されるようになっている。メモリ制御部6は、フレームメモリ8に対し、出力画像フォーマットのライン周波数の2倍の周波数で書き込み状態と読み出し状態とを切り換えるように制御する。

【0030】一方、入力アナログ画像信号が供給される入力制御回路5は、供給されたアナログ画像信号から同期信号を抽出し、この抽出結果を基に画像フレーム中のライン番号をカウントするようになっている。また、入力制御回路5は、カウントされた値からバッファ4への画像データの取り込み制御信号を生成し、該取り込み制御信号を上記バッファ4に供給することでバッファ4の画像データの書き込みを制御する。

【0031】この取り込み制御信号は、バッファ4に対し画像データ4ライン当たり1ラインを取り込むように制御するためのもので、さらに1フレーム期間毎にその取り込み位相が1ラインずつずれるように指示するものとなっており、このため、4フレーム期間で1画像フレーム中の全てのラインを上記バッファ4に取り込むことが可能となる。

【0032】ここで、入力制御回路5の制御によるバッファ4に対する画像データの取り込み条件を示すと、例えば下記に示すものとなる。尚、フレーム周期をmとし、nは自然数とする。

【0033】フレーム番号が4m のとき、ライン番号4n のラインを取り込む。

【0034】フレーム番号が4m+1 のとき、ライン番号4n+1 のラインを取り込む。

【0035】フレーム番号が4m+2 のとき、ライン番号4n+2 のラインを取り込む。

【0036】フレーム番号が4m+3 のとき、ライン番号4n+3 のラインを取り込む。

【0037】このような取り込み条件に基づいて、入力制御回路5による取り込み制御がなされるようになっている。

【0038】図3は上記の如く取り込み条件に基づいてバッファ4への画像データの取り込み（書き込み）を行う場合の説明図である。例えば図3に示すように、入力画像信号に基づく1画面の画像を4フレームに分割したとすると、最初のフレームとなるフレーム0において、4ライン毎に1ライン分の画像データを順次取り込み、取り込んだ画像データを図中斜線で示す1ブロックの画像データ群として、画像信号処理用のデータとする。このため、このブロックの画像データ量は、フレーム0のデータ量と比較すると、1/4になる。

【0039】そして、次のフレーム1に移行し、このフレーム1において、上記と同様に4ライン毎に1ライン分の画像データを順次取り込み、取り込んだ画像データを図中上記とは逆の斜線で示す1ブロックの画像データ群として、画像信号処理用のデータとする。このため、このブロックの画像データ量は、フレーム1のデータ量と比較すると、1/4になる。

【0040】次いで、フレーム2に移行し、このフレーム2において、上記と同様に4ライン毎に1ライン分の画像データを順次取り込み、取り込んだ画像データを図中網状に示す1ブロックの画像データ群として、画像信号処理用のデータとする。このため、このブロックの画像データ量は、フレーム2のデータ量と比較すると、1/4になる。

【0041】そして、4番目のフレームとなるフレーム3に移行し、このフレーム3においても同様に4ライン毎に1ライン分の画像データを順次取り込み、取り込んだ画像データを図中黒塗りで示す1ブロックの画像データ群として、画像信号処理用のデータとする。このため、このブロックの画像データ量は、フレーム3のデータ量と比較すると、1/4になる。

【0042】つまり、バッファ4に対して1画面分の全ラインの画像データを一度に取り込むのではなく、分割した4フレームに対応する各ブロック単位で夫々取り込むように1画面分の画像データを間引くことにより、結

果としてバッファ4からフレームメモリ8への伝送レート(データ量)を1/4に縮小することができる。これにより、上記フレーム0、フレーム1、フレーム2及びフレーム3の4フレームの各ブロック単位の合計データ量は、1画面の全ラインの画像データに相当するものであることから、各ブロックの画像データを4フレーム1巡でフレームメモリ8に取り込むことで、1画面分の全ラインの画像データを得ることが可能となり、つまり、1画面分の画像データのフレーム周波数変換処理を行うのに必要な画像データ量を得ることができる。

【0043】また、上記入力制御回路5は、メモリ制御部6に対してフレームメモリ8の書き込み開始アドレス信号を供給している。この書き込みアドレス信号には、フレーム番号及びライン番号を示す情報が含まれており、メモリ制御部6は該書き込みアドレス信号が供給されると、該書き込みアドレス信号に基づきフレームメモリ8に4ブロック間隔で入力画像データを書き込むように制御する。この場合、フレーム番号が進むことにより、書き込み位相が一巡することになり、これにより、上述したようにバッファ4に蓄えられた画像データをフレームメモリ8に書き込みが行われることで、フレームメモリ8上に画像フレームを再構成可能となる。

【0044】出力制御回路7は、出力画像フォーマットに基づく出力画像の位置情報を作成し、メモリ制御部6へ読み出すべき画像データのアドレスを第1ラインから順に送るように制御する。また、出力制御回路7は、画素周波数を出力画像フォーマットに基づくものに変換するための読み出し信号を発生して、該読み出し信号をバッファ9に供給することにより、該バッファ9の読み出しを制御している。

【0045】次に、動作について図4を参照しながら詳細に説明する。

【0046】図4は入力制御回路、メモリ制御部及び出力制御回路による制御動作のタイミングを示す図である。尚、図4(a)は入力画像信号、図4(b)はバッファ4の入力データ、図4(c)はバッファ4の出力データ、図4(d)はフレームメモリ8の入出力データ、図4(e)はバッファ9の入力データ、図4(f)はバッファ9の出力データ、図4(g)は出力画像信号を夫々示している。

【0047】いま、パーソナルコンピュータからの高精細な画像信号を取り込み、LCD表示するのに必要なフレーム周波数変換処理を行うものとする。この場合、入力端子1を介して入力されたアナログ画像信号が、図4(a)に示すものだとすると、A/D変換器2、8-32ビット変換回路3にて32ビット(4画素配列)に変換されたデジタル画像データはバッファ4の入力ポートに与えられる。

【0048】入力制御回路5は、入力アナログ画像信号に含まれる同期信号から何ラインの信号であるのかを算

出してライン番号を認識し、バッファ4に対する取り込み制御信号及びフレームメモリ8に対する書き込みアドレスを発生して、夫々供給する。

【0049】すると、バッファ4は入力制御回路5からの取り込み制御信号に基づいて入力デジタル画像データの取り込みを行う。このとき、バッファ4は図4(a)に示す入力画像信号が所定のフレーム番号のライン毎の画像データだとすると、このフレーム番号の画像データについては、4ラインおきにラインデータを取り込み、つまり、図4(b)に示すタイミングで4ラインおきのラインデータがバッファ4に取り込まれることになる。

【0050】その後、バッファ4の読み出しは、メモリ制御部6の制御によりSW1がオンし、SW2がオフされた後、図4(c)に基づくタイミングで読み出しが行われ、読み出された該フレーム番号のラインデータは、SW1を介してフレームメモリ8に供給される。すると、フレームメモリ8では、メモリ制御部6による書き込み制御により、出力画像フォーマットのライン周波数の2倍の周波数でラインデータの書き込みが行われる。

【0051】また、フレームメモリ8の読み出しについては、メモリ制御部6の制御よりSW1がオフし、SW2がオンして、上記書き込み動作と同様のライン周波数で読み出しが行われることで、読み出されたラインデータはSW2を介してバッファ9の入力ポートに供給される。このときのフレームメモリ8に対する書き込み、読み出しのタイミングが図4(d)に示されている。つまり、メモリ制御部6は、出力画像フォーマットのライン周波数の2倍の周波数で書き込み状態と読み出し状態とを切り換えるように、フレームメモリ8に対する書き込み及び読み出しを制御する。

【0052】バッファ9では、出力制御回路7の読み出し制御により、フレームメモリ8から読み出されたラインデータが図4(e)に示すタイミングで書き込まれ、その後、出力制御回路7の読み出し信号により、図4(f)のタイミングで読み出されることになる。これにより、読み出された画素信号は、上記バッファ9の読み出し速度によって画素周波数が出力画像フォーマットのものに変換されたものとなり、32-8ビット変換回路10、D/A変換器11及び出力端子12を介して出力される画像信号としては、図4(g)に示すように例えばLCDに表示するのに適した伝送レートの画像信号となる。

【0053】このような画像信号処理は、所定のフレーム番号のフレーム内の画像データに対する処理であるが、その後は次のフレーム番号のフレームの画像データについて、前記ライン番号4n+1のラインデータを取り込み、上記と同様に処理を行い、つまり1フレーム期間毎に取り込み位相が1ラインずつずれるように各フレームのラインデータがバッファ4に取り込まれることに

なり、この取り込みは4フレーム期間で一巡するように行われることになる。

【0054】したがって、上記のようにバッファ4に対する画像データの取り込みを行うことで、各フレーム単位で処理するデータ量を夫々 $1/4$ に縮小することができるため、変換処理するのに必要な大容量のフレームメモリ8への限界メモリアクセスレートを越えずにフレームメモリ8に転送することが可能となり、処理動作が破綻することもない。また、このように各フレーム毎のブロック単位別に分割したとしても、4フレーム分で1画像フレームの全ラインの画像データをバッファ4に取り込むことができ、また、フレームメモリ8上にて1画像フレームを再構成することができる。これにより、上述したように4ライン間隔でラインデータを取り込み、 $1/4$ のデータ量に縮小したとしても、フレーム周波数変換処理することが可能となり、従来必要であった高速動作且つ小容量の複数のメモリディバイスを少なくとも2個のバッファのみで構成することができ、回路規模の増大を防止し、またコスト的にも安価となる。

【0055】したがって、本実施形態例によれば、上述したようなバッファ4に対する取り込み方法を採用することで、高精細な画像データをブロック単位で間引いて処理を行うことが可能となるため、画像を破綻させることなく、フレームメモリへの書き込む画像データの平均データレートを縮小させることが可能となる。また、フレームメモリ8への書き込み速度は前段のバッファ4の読み出し速度を変えることにより、任意に設定することができるので、画像フォーマットに依存することなく一定にすることが可能となる。これにより、DRAM等の大容量のメモリディバイスを使用しても高データレートの画像信号に対して安定した書き込みを行うことが可能となり、従来必要であった小容量の複数のメモリディバイスも2個のみで高精細な画像信号対応のフレーム周波数変換回路を構成することができる。よって、回路規模の増大をも防止して低コスト化にも寄与する。

【0056】尚、本実施形態例においては、高精細な入力画像信号に基づく静止画像を表示する場合のフレーム

周波数変換処理について説明したが、本発明ではこれに限定されることはなく、例えば動画像となる入力画像信号を表示する場合の画像信号処理についても適用しても良い。この場合、バッファ4の取り込みは、2フレームで一巡するように動画像信号を取り込むように制御すれば、画像信号処理後の変換された動画像信号の再生時には、ちらつき等は発生しない良好な動画像を表示することが可能となる。

【0057】

【発明の効果】以上、述べたように本発明によれば、フレームメモリへ書き込む高精細画像データの平均データレートを低減可能に構成することで、大容量のDRAMをフレームメモリとして使用することができるとともに、回路規模の増大を防止し且つ低コスト化を図ることが可能となる。

【図面の簡単な説明】

【図1】本発明の画像信号処理回路の一実施形態例を示すブロック図。

【図2】画像信号処理回路を含む画像表示システムの概略構成を示す図。

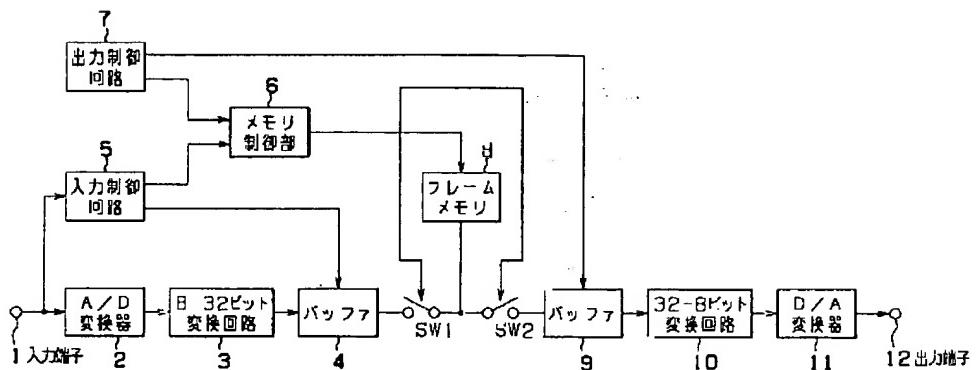
【図3】メモリへの書き込み動作を説明するための説明図。

【図4】メモリ制御動作を説明するための説明図。

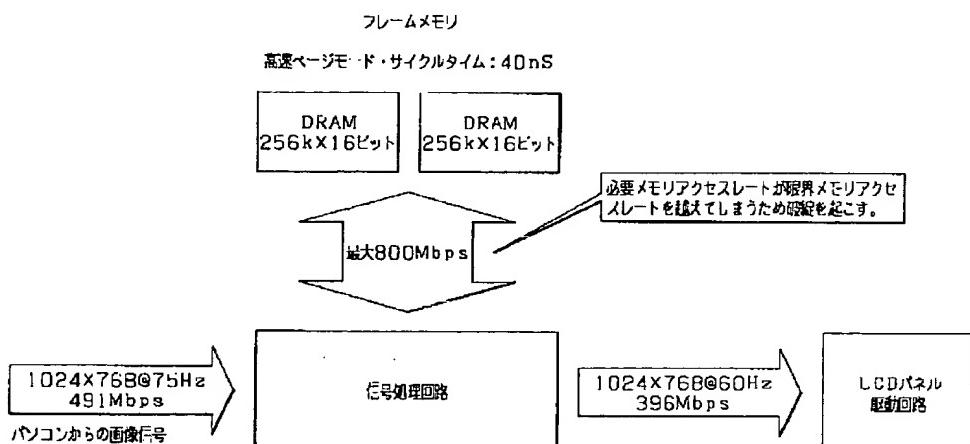
【符号の説明】

- 1…入力端子、
- 2…A/D変換器、
- 3…8-32ビット変換回路、
- 4、9…バッファ
- 5…入力制御回路、
- 6…メモリ制御部、
- 7…出力制御回路、
- 8…フレームメモリ、
- 10…D/A変換器、
- 11…32-8ビット変換回路、
- 12…出力端子、
- SW1、SW2…スイッチ。

【図1】

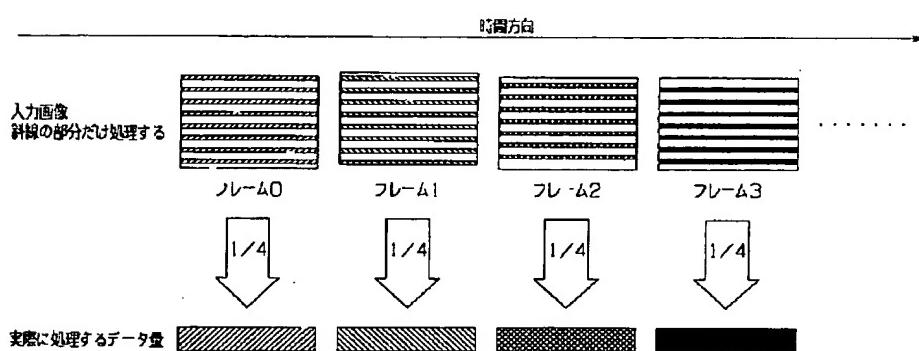


【図2】

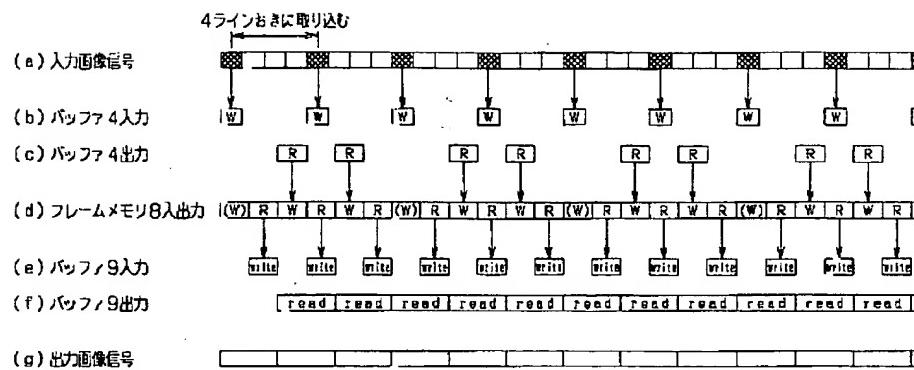


フレームメモリへのアクセス量 = (入力レート) + (出力レート)
 $491\text{Mbps} + 396\text{Mbps} = 887\text{Mbps} > 800\text{Mbps}$ (容量オーバー)

【図3】



【図4】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

G 09 G 5/18

G 09 G 5/18

H 04 N 7/01

H 04 N 7/01

C